

JP56100514

Publication Title:

DELAY CIRCUIT

Abstract:

PURPOSE:To make the charging speed to the electrostatic capacity slow to prevent a through current, by providing an electric resistance at the connection point between the drain and the source of complementary FETs constituting the inverter of the first stage.

CONSTITUTION:Electric resistance 17 is provided at the connection point between the drain and the source of complementary FETs 5 and 6 constituting the inverter of the first stage. Then, the charging speed to electrostatic capacities 9 and 13 connected between high power source 3 and connection point 10 between the inverter of the first stage and the inverter of the next stage and between low power source 7 and connection point 14 between these inverters respectively becomes slow. Consequently, in respect to complementary FETs 11 and 15 constituting the inverter of the next stage, corresponding FETs 11 and 15 are not turned on simultaneously until the output voltage is changed. Therefore, a large through current is not generated, and power consumption is reduced.

Data supplied from the esp@cenet database - <http://ep.espacenet.com>

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭56—100514

⑪ Int. Cl.³
H 03 H 11/26

識別記号

庁内整理番号
7439—5 J

⑬ 公開 昭和56年(1981) 8月12日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 遅延回路

東京都港区芝五丁目33番1号日
本電気株式会社内

⑯ 特 願 昭55—3979

⑰ 出 願 人 日本電気株式会社

⑱ 出 願 昭55(1980) 1月16日

東京都港区芝5丁目33番1号

⑲ 発 明 者 佐瀬柳一

⑳ 代 理 人 弁理士 井出直孝

明 細 書

1. 発明の名称

遅延回路

2. 特許請求の範囲

(1) 2個の相補型電界効果トランジスタにより構成される第1の反転回路と、この反転回路の出力を入力とし2個の相補型電界効果トランジスタにより構成される第2の反転回路と、上記第1の反転回路および上記第2の反転回路の結合点の信号電圧に並列に接続された静電容量とを備えた遅延回路において、上記第1の反転回路の2個の相補型電界効果トランジスタのドレインおよびソースの連結点が抵抗器を介して連結された構成を特徴とする遅延回路。

3. 発明の詳細な説明

本発明は、相補型半導体集積回路を用いた遅延回路の改良に関する。

従来、インバータをカスケードに接続し、この

接続点と接地との間にそれぞれ静電容量を接続した遅延回路が知られている。これを相補型電界効果トランジスタ(以下「FET」という。)で実現すると、次段のインバータを構成する相補型FETの両方が同時に「オン」状態となり、高電源側から低電源側へ貫通電流が流れ、電力消費を増加するとともに発熱による悪影響を生じる欠点を有する。

本発明はこの点を改良するもので、貫通電流が流れるのを防止することができ、電力消費を軽減することができ、発熱も軽減することができる遅延回路を提供することを目的とする。

本発明は、2個の相補型電界効果トランジスタにより構成される第1の反転回路と、この反転回路の出力を入力とし2個の相補型電界効果トランジスタにより構成される第2の反転回路と、上記第1の反転回路および上記第2の反転回路の結合点と共通電位点との間に挿入された静電容量とを備えた遅延回路において、上記第1の反転回路の2個の相補型電界効果トランジスタのドレインお

よびソースの連結点が抵抗器を介して連結された構成を特徴とする。

このことを図面に基づいて詳しく説明する。

第1図は、従来例構成図である。複数のインバータ1がカスケードに接続され、この各段のインバータ1には、このインバータ1の入力信号に遅延を与える静電容量2がそれぞれ接続されている。

この1個のセグメントについて、相補型FETを用いた具体的な回路例を示すと、第2図のようになる。第2図中高電源3には、PチャネルFET5のドレインが接続されている。このPチャネルFET5のソースには、NチャネルFET6のドレインが接続されている。このNチャネルFET6のソースは、低電源7に接続されている。このPチャネルFET5およびNチャネルFET6によりインバータが構成される。また、PチャネルFET5およびNチャネルFET6のゲートには、入力端子8が接続されている。

PチャネルFET5のソースと高電源3との間には、静電容量9が接続されている。この静電容

3

量の電圧波形を示すタイムチャートである。第4図で縦軸は電圧Vを、横軸は時間tをそれぞれ示す。また、第4図で V_{TP} はPチャネルFET5および11のスレッシホールド電圧を、 V_{TN} はNチャネルFET6および15のスレッシホールド電圧をそれぞれ示す。

このような構成で、本発明の特徴ある動作を説明する。第3図において、いま第4図(a)で示す入力電圧が入力端子8に与えられると、初段インバータを構成するPチャネルFET5は、入力電圧(a)がスレッシホールド電圧(以下「 V_{TP} 」という。)になる時刻 t_0 よりオンとなる。PチャネルFET5がオンになると、PチャネルFET5の導通抵抗と静電容量9との時定数で接続点10の電圧は、第2図(b)に示すように次第に充電される。この接続点10の充電電圧(b)は、次段のインバータを構成するPチャネルFET11のゲートに印加される。この接続点10の電圧(b)が、 V_{TP} 以上になる時刻 t_1 以後は、このPチャネルFET11はオフ状態となる。

5

量9とPチャネルFET5のソースとの接続点10は、次段のインバータを構成するPチャネルFET11のゲートに接続されている。NチャネルFET6のドレインと低電源7との間には、静電容量13が接続されている。このNチャネルFET6と静電容量13との接続点14は、次段のインバータを構成するNチャネルFET15のゲートに接続されている。このPチャネルFET11のソースおよびNチャネルFET15のドレインとは、出力端子16に接続されている。また、PチャネルFET11のドレインは高電源3に、NチャネルFET15のソースは低電源7にそれぞれ接続されている。

第3図は本発明一実施例構成図である。第2図で説明した従来例と比較するとPチャネルFET5のソースおよびNチャネルFET6のドレイン間に電気抵抗17を接続したところに特徴がある。他の構成については、第2図で説明した従来例と同様であるので説明の繰返しを省く。

第4図は、第2図および第3図に×印で示した

4

また、第4図で(c)は、接続点14の電圧である。静電容量13への充電は、PチャネルFET5のオンと同時に開始される。しかし、本発明は、電気抵抗17を挿入したため、この充電速度は従来例に比較して緩やかなものとなり、NチャネルFETのスレッシホールド電圧(以下「 V_{TN} 」という。)に達する時刻は t_2 となる。従来例においては、静電容量9と同様な充電が行われ、 V_{TN} まで充電される時刻は第4図 t_2' で示す時刻となる。したがって、時刻 t_2' から t_1 までは、PチャネルFET5およびNチャネルFET6の双方が導通状態となり、両FETのソース・ドレイン間に大きな電流が流れ、電源消費量が大きくなるとともに、両FETが発熱する。

このように、時刻 t_1 、 t_2 の間の時間領域では、PチャネルFET11およびNチャネルFET15はともにオフ状態となる。このため、出力端子16の出力波形(d)は、時刻 t_2 以前の状態を保持し、時刻 t_2 になつて、NチャネルFET15がオンになると、第4図(d)のように高レベルから低レベル

6

へ変化する。接続点 10 および 14 の波形が、低レベルから高レベルへ変化する始めて、出力端子 16 の波形が変化する始めるまでの時間は、Pチャネル FET 11、Nチャネル FET 15 は同時にはオン状態とならず、高電源 3 から低電源 7 への貫通電流は流れない。

なお、上記例は、入力電圧が高レベルから低レベルへ変化する例を示したが、入力電圧が低レベルから高レベルへ変化する場合にも同様に Pチャネル FET 11 および Nチャネル FET 15 が同時にはオン状態とならず、貫通電流を防止することができることは明らかである。

また、この例は、基本回路を示したものであり、必要に応じて多段に接続して使用される。

本発明は以上説明したように、初段のインバータを構成する相補型 FET のドレイン・ソースの連結点に電気抵抗を設けることとした。このため、初段のインバータおよび次段のインバータの結合点と共通電位点との間に挿入された静電容量への充電速度を緩やかにすることができる。したがつ

て、次段のインバータを構成する相補型 FET を出力電圧が変化するまでの間に同時に対となる FET がオン状態とならない。このため、大きな貫通電流も生じることがなく、電力消費を軽減することができるとともに、トランジスタの発熱を軽減することができる効果を有する。

4. 図面の簡単な説明

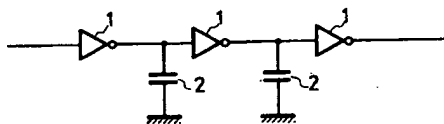
第 1 図は従来例構成図。

第 2 図は第 1 図の 1 個のセグメントについて相補型 FET を用いて具体的に表した図。

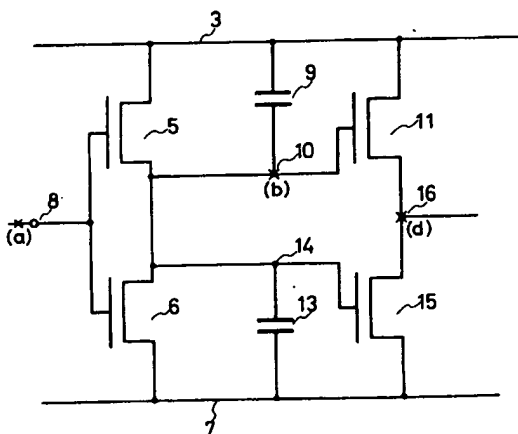
第 3 図は本発明一実施例構成図。

第 4 図は第 3 図に X 印で示した点の電圧波形を示すタイムチャート。

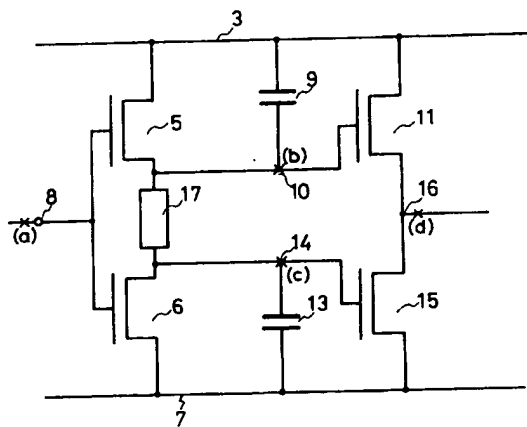
1 … インバータ、2、9、13 … 静電容量、3 … 高電源、5、11 … Pチャネル FET、6、15 … Nチャネル FET、7 … 低電源、8 … 入力端子、10、14 … 接続点、16 … 出力端子、17 … 電気抵抗。



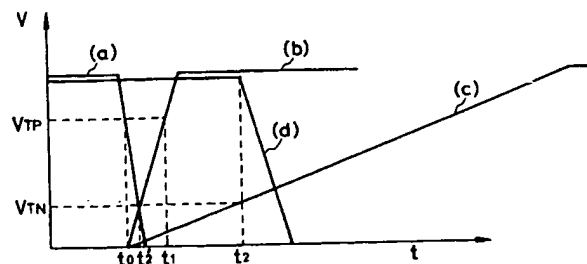
第 1 図



第 2 図



第 3 図



第 4 図